

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Tadashi MIWA

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HERewith

FOR: SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-154247	May 30, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

**C. Irvin McClelland**  
**Registration Number 21,124**



22850

3.0325

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 5月30日

出 願 番 号

Application Number:

特願2003-154247

[ST.10/C]:

[JP2003-154247]

出 願 人

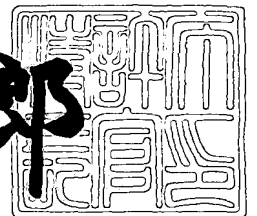
Applicant(s):

株式会社東芝

2003年 6月16日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3046877

【書類名】 特許願

【整理番号】 A000301010

【提出日】 平成15年 5月30日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/10

【発明の名称】 半導体装置とその製造方法

【請求項の数】 15

【発明者】

    【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横  
浜事業所内

    【氏名】 三輪 忠司

【特許出願人】

    【識別番号】 000003078

    【氏名又は名称】 株式会社 東芝

【代理人】

    【識別番号】 100058479

    【弁理士】

    【氏名又は名称】 鈴江 武彦

    【電話番号】 03-3502-3181

【選任した代理人】

    【識別番号】 100091351

    【弁理士】

    【氏名又は名称】 河野 哲

【選任した代理人】

    【識別番号】 100088683

    【弁理士】

    【氏名又は名称】 中村 誠

【選任した代理人】

    【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置とその製造方法

【特許請求の範囲】

【請求項 1】 第 1 の幅を有し、第 1 の間隔で周期的に配置された複数の第 1 の配線構造と、

前記第 1 の配線構造の 1 つに隣接して形成された第 2 の配線構造とを有し、前記第 2 の配線構造の下部は、実質的に前記第 1 の配線構造の前記第 1 の幅  $n$  個分（ $n$  は 2 以上の正の整数）と前記第 1 の間隔  $n - 1$  個分の第 2 の幅を有することを特徴とする半導体装置。

【請求項 2】 前記第 2 の配線構造の上部は、実質的に前記第 1 の幅を有する  $n$  個の凸部と、 $n - 1$  個の凹部を有することを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記第 1、第 2 の配線構造は、メモリセルアレイ内の配線構造であることを特徴とする請求項 2 記載の半導体装置。

【請求項 4】 前記第 1 の配線構造は、メモリセルを構成し、前記第 2 の配線構造は、前記メモリセルを選択するセレクトゲートを構成することを特徴とする請求項 3 記載の半導体装置。

【請求項 5】 前記第 1 の配線構造は、半導体基板上の第 1 の絶縁膜と、前記第 1 の絶縁膜上の第 1 の導電膜と、前記第 1 の導電膜上の第 2 の絶縁膜と、前記第 2 の絶縁膜上の第 2 の導電膜と、前記第 2 の導電膜上の第 3 の絶縁膜とを有し、

前記第 2 の配線構造は、少なくとも前記第 1 の絶縁膜と、前記第 1 の絶縁膜上の第 1 の導電膜と、前記第 1 の導電膜上の前記第 2 の導電膜と、前記第 2 の導電膜上の前記第 3 の絶縁膜とを有することを特徴とする請求項 4 記載の半導体装置。

【請求項 6】 前記第 2 の配線構造は、前記第 1 の導電膜と前記第 2 の導電膜の相互間に前記第 2 の絶縁膜を有することを特徴とする請求項 5 記載の半導体装置。

【請求項 7】 半導体基板上に第 1 の絶縁膜、第 1 の導電膜、第 2 の絶縁膜

を順次形成し、

前記第 2 の絶縁膜上に第 1 の配線構造の幅に対応した第 1 の幅を有する第 1 のレジストを第 1 の間隔で周期的に形成し、

前記第 1 のレジストを用いて、少なくとも前記第 2 の絶縁膜をパターンニングして前記第 2 の絶縁膜を含むマスクパターンを形成し、

前記第 1 の配線構造より幅の広い第 2 の配線構造の形成領域における前記マスクパターンのスペースに選択的に第 2 のレジストを形成し、

前記第 2 のレジスト及び前記マスクパターンを用いて、前記第 1 の導電膜をパターンニングする

ことを特徴とする半導体装置の製造方法。

【請求項 8】 前記第 2 の絶縁膜の形成前に、前記第 1 の導電膜の上で、前記第 2 の配線構造の形成領域を除く領域に第 3 の絶縁膜を形成し、

前記第 1 の導電膜及び前記第 3 の絶縁膜の上に第 2 の導電膜を形成し、前記第 2 の絶縁膜を前記第 2 の導電膜上に形成することを特徴とする請求項 7 記載の半導体装置の製造方法。

【請求項 9】 半導体基板上に第 1 の絶縁膜、第 1 の導電膜、第 2 の絶縁膜を順次形成し、

第 1 の領域における前記第 2 の絶縁膜上に、第 1 の配線構造と略同一の幅と間隔の第 1 のパターンを複数個有するとともに、前記第 1 の領域と隣接する第 2 の領域における前記第 2 の絶縁膜上に、実質的に第 2 の配線構造  $n$  個分 ( $n$  は 2 以上の正の整数) と前記第 2 の配線構造の間隔  $n - 1$  個分の幅の第 2 のパターンを有する第 1 のレジストを形成し、

前記第 1 のレジストを用いて前記第 2 の絶縁膜及び前記第 1 の導電膜がパターンニングされた前記第 1 の配線構造を形成し、

前記第 2 の領域における前記第 2 の配線構造相互のスペースとなる部分を除いて、前記第 2 の絶縁膜上に第 2 のレジストを形成し、

前記第 2 のレジストを用いて前記第 2 の絶縁膜及び前記第 1 の導電膜がパターンニングされた前記第 2 の配線構造を形成する

ことを特徴とする半導体装置の製造方法。

【請求項 1 0】 前記第 2 の絶縁膜の形成前に、前記第 1 の導電膜の上で、前記第 2 の領域を除く前記第 1 の領域に第 3 の絶縁膜を形成し、

前記第 1 の導電膜及び前記第 3 の絶縁膜の上に第 2 の導電膜を形成し、前記第 2 の絶縁膜を前記第 2 の導電膜の上に形成することを特徴とする請求項 9 記載の半導体装置の製造方法。

【請求項 1 1】 半導体基板上に第 1 の絶縁膜、第 1 の導電膜、第 2 の絶縁膜を順次形成し、

第 1 の配線構造より幅が広い第 2 の配線構造の形成領域に対応した位置に前記第 2 の絶縁膜よりエッチングレートが小さい第 3 の絶縁膜を形成し、

前記第 1 の配線構造の形成領域における前記第 2 の絶縁膜上に選択的に、第 1 の配線構造と略同一の幅と間隔のパターンを複数個有するレジストを形成し、

前記レジスト及び前記第 3 の絶縁膜を用いて、前記第 2 の絶縁膜及び前記第 1 の導電膜がパターンニングされた前記第 1、第 2 の配線構造を形成する

ことを特徴とする半導体装置の製造方法。

【請求項 1 2】 前記第 3 の絶縁膜は前記第 2 の絶縁膜の内部に形成されることを特徴とする請求項 1 1 記載の半導体装置の製造方法。

【請求項 1 3】 前記第 3 の絶縁膜は前記第 2 の絶縁膜の上に形成されることを特徴とする請求項 1 1 記載の半導体装置の製造方法。

【請求項 1 4】 前記レジストは前記第 3 の絶縁膜上にも形成されることを特徴とする請求項 1 2 又は 1 3 記載の半導体装置の製造方法。

【請求項 1 5】 前記第 2 の絶縁膜の形成前に、前記第 1 の導電膜の上で、前記第 2 の配線構造の形成領域を除く領域に第 4 の絶縁膜を形成し、

前記第 1 の導電膜及び前記第 4 の絶縁膜の上に第 2 の導電膜を形成し、前記第 2 の絶縁膜を前記第 2 の導電膜の上に形成することを特徴とする請求項 1 1 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体装置とその製造方法に係り、特に、不揮発性半導体記憶装置

等の配線層の構造の改良を図った半導体装置とその製造方法に関する。

【 0 0 0 2 】

【従来の技術】

例えばNAND型不揮発性半導体記憶装置は、直列接続された複数のメモリセルからなるメモリセルユニットをビット線やソース線に接続するためのセレクトゲート（SG）を有している。各メモリセルの制御ゲートはワード線（WL）に接続され、各セレクトゲートはセレクトゲート線に接続されている。セレクトゲートは、例えばメモリセルと同様に、トンネル酸化膜、フローティングゲート用のポリシリコン（FG Poly）膜、シリコン酸化膜、シリコン窒化膜及びシリコン酸化膜が積層されたONO膜、コントロールゲート用のポリシリコン（CG Poly）膜、タンゲステンシリサイド（WSi）膜、窒化シリコン（SiN）膜を有している。これらの膜を順次形成した後、リソグラフィ工程によって、レジストをパターニングし、このパターニングされたレジストをマスクとしてドライエッチング工程により、SiN膜、WSi膜、CG Poly膜、ONO膜、FG Poly膜を加工して、ワード線及びセレクトゲート線が形成される。

【 0 0 0 3 】

前記セレクトゲートは、メモリセルユニットを構成する16本あるいは32本のワード線に対して2個配置される。このセレクトゲート及びセレクトゲート線は、セレクトゲートのカットオフ特性を向上させるため、そのチャネル長方向の幅がワード線の幅よりも太く設定されている。このため、セレクトゲート線及びワード線を形成する際のリソグラフィ工程において、セレクトゲート線に隣接するワード線は、ワード線が周期的に配置された領域に比べて、複雑な光近接効果を受ける。

【 0 0 0 4 】

しかも、セレクトゲート線の相互間にビット線等のコンタクトがある場合、セレクトゲート線の相互間にスペースが形成される。このため、ワード線に対する光近接効果が一層複雑化する。このように複雑な光近接効果を受けるレジストを露光するマスクを作成する際、マスクに光近接効果補正（OPC）を施すことに



より、太い配線に隣接する配線の寸法を制御している。このマスクのOPCは、シミュレーションによって行われる。しかし、OPCのシミュレーションモデルは現在開発の途上であるため、十分な精度を得ることができない。このため、焦点深度のマージンが低下し、それに伴いレジストが細くなって倒れることがある。したがって、太いセレクトゲート線に隣接するワード線の寸法精度を維持することが困難となっていた。

## 【0005】

上記光近接効果を抑制するための一例として、セレクトゲート線の幅をワード線と同一の幅とし、1つのメモリセルユニットの両側に2個ずつ、計4個のセレクトゲート及びセレクトゲート線を設ける技術が開発されている（特許文献1参照）。

## 【0006】

## 【特許文献1】

特開2003-51557号

## 【0007】

## 【発明が解決しようとする課題】

上記の例では不揮発性半導体記憶装置のワード線とそれに隣接するセレクトゲート線との光近接効果について説明した。しかし、半導体装置には、異なる幅の配線が隣接して形成される場合が多く、回路構成や配線構成によっては、特許文献1に開示された構成を採用し得ないことがある。

## 【0008】

本発明は、上記課題を解決するためになされたものであり、その目的とするところは、異なる幅の配線が隣接して形成される場合においても、各配線の寸法精度を向上することが可能な半導体装置とその製造方法を提供しようとするものである。

## 【0009】

## 【課題を解決するための手段】

本発明の一態様の半導体装置は、上記課題を解決するため、第1の幅を有し、第1の間隔で周期的に配置された複数の第1の配線構造と、前記第1の配線構造

の 1 つに隣接して形成された第 2 の配線構造とを有し、前記第 2 の配線構造の下部は、実質的に前記第 1 の配線構造の前記第 1 の幅  $n$  個分（ $n$  は 2 以上の正の整数）と前記第 1 の間隔  $n - 1$  個分の第 2 の幅を有することを特徴とする。

## 【 0 0 1 0 】

また、本発明の一態様の半導体装置の製造方法は、半導体基板上に第 1 の絶縁膜、第 1 の導電膜、第 2 の絶縁膜を順次形成し、前記第 2 の絶縁膜上に第 1 の配線構造の幅に対応した第 1 の幅を有する第 1 のレジストを第 1 の間隔で周期的に形成し、前記第 1 のレジストを用いて、少なくとも前記第 2 の絶縁膜をパターンニングして前記第 2 の絶縁膜を含むマスクパターンを形成し、前記第 1 の配線構造より幅の広い第 2 の配線構造の形成領域における前記マスクパターンのスペースに選択的に第 2 のレジストを形成し、前記第 2 のレジスト及び前記マスクパターンを用いて、前記第 1 の導電膜をパターンニングすることを特徴とする。

## 【 0 0 1 1 】

さらに、本発明の他の態様の半導体装置の製造方法は、半導体基板上に第 1 の絶縁膜、第 1 の導電膜、第 2 の絶縁膜を順次形成し、第 1 の領域における前記第 2 の絶縁膜上に、第 1 の配線構造と同一の幅と間隔の第 1 のパターンを複数個有するとともに、前記第 1 の領域と隣接する第 2 の領域における前記第 2 の絶縁膜上に、第 2 の配線構造  $n$  個分（ $n$  は 2 以上の正の整数）と前記第 2 の配線構造の間隔  $n - 1$  個分の幅の第 2 のパターンを有する第 1 のレジストを形成し、前記第 1 のレジストを用いて前記第 2 の絶縁膜及び前記導電膜をパターンニングして前記第 1 の配線構造を形成し、前記第 2 の領域における前記第 2 の配線構造相互のスペースとなる部分を除いて、前記第 2 の絶縁膜上に第 2 のレジストを形成し、前記第 2 のレジストを用いて前記第 2 の絶縁膜及び前記第 1 の導電膜をパターンニングして、前記第 2 の配線構造を形成することを特徴とする。

## 【 0 0 1 2 】

また、本発明のさらに他の態様の半導体装置の製造方法は、半導体基板上に第 1 の絶縁膜、第 1 の導電膜、第 2 の絶縁膜を順次形成し、第 1 の配線構造より幅が広い第 2 の配線構造の形成領域に対応した位置に前記第 2 の絶縁膜よりエッチングレートが小さい第 3 の絶縁膜を形成し、前記第 1 の配線構造の形成領域にお

ける前記第2の絶縁膜上に選択的に、第1の配線構造と同一の幅と間隔のパターンを複数個有するレジストを形成し、前記レジスト及び前記第3の絶縁膜を用いて、前記第2の絶縁膜及び前記第1の導電膜をパターンニングし、前記第1、第2の配線構造を形成することを特徴とする。

## 【0013】

## 【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して説明する。

## 【0014】

## (第1の実施形態)

図1乃至図5は、第1の実施形態を示すものであり、NAND型不揮発性半導体記憶装置のワード線と直交する方向、すなわち、メモリセル及びセレクトゲートのチャネル長方向に沿った断面図を示している。

## 【0015】

図1に示すように、シリコン基板1上にトンネル酸化膜2、フローティングゲート用ポリシリコン(FG Poly)膜3、ONO膜4が順次形成される。このONO膜4において、後にセレクトゲート線が形成される領域、あるいは隣接する2つのセレクトゲート線及びこれらセレクトゲート線間スペースに対応する領域が除去される。また、ポリシリコン膜3は、図1の紙面と直交する方向にパターンニングされ、図示せぬ所定の幅とスペースを有するパターンに形成されている。さらに、隣接するポリシリコン膜3のパターンのスペース部分に自己整合的に、図示せぬ素子分離領域が形成されている。次いで、ONO膜4及びポリシリコン膜3上にコントロールゲート用ポリシリコン(CG Poly)膜5、WSi膜6及びSiN膜7が順次形成される。

## 【0016】

この後、SiN膜7上に所定の幅とスペースを有するレジストパターンが選択的に形成される。このようにして形成されたレジスト8のパターンは、例えばワード線と対応する幅とスペースを有している。このレジスト8をマスクとして、SiN膜7及びWSi膜6が例えばドライエッチングによってエッチングされる。次いで、レジストが除去される。

## 【 0 0 1 7 】

この後、図 2 に示すように、S i N 膜 7 及び W S i 膜 6 をマスクとして、ポリシリコン膜 5 及び O N O 膜 4 を例えばドライエッチングによって、エッチングする。このようにして、S i N 膜 7 を含む周期的なマスクパターンが形成される。

## 【 0 0 1 8 】

その次に、図 3 に示すように、セレクトゲート線が形成される領域に対応してレジスト 9 が形成される。この実施形態に適用される N A N D 型不揮発性半導体記憶装置は、例えばビット線のコンタクトの両側にメモリセルユニットが配置され、これらメモリセルユニットがセレクトゲートを介してビット線のコンタクトにそれぞれ接続される。このため、2 つのメモリセルユニットの各セレクトゲートが隣接して配置される。したがって、前記レジスト 9 は、コンタクトを挟んで対向する 2 つのセレクトゲートの形成領域に対応して形成される。この状態において、レジスト 9 及び S i N 膜 7 乃至 O N O 膜 4 をマスクとしてフローティングゲート用ポリシリコン膜 3 が例えばドライエッチングによって、エッチングされ、その後、レジスト 9 が除去される。

## 【 0 0 1 9 】

このようにして、図 4 に示すように、ワード線 W L と、セレクトゲート線 S G L が形成される。セレクトゲート線 S G L は、上部にワード線と同様の幅を有する 2 つの凸部と、これら凸部の間に形成された 1 つの凹部とを有している。この凹部の幅はワード線相互間のスペースと同様である。また、セレクトゲート線 S G L の下部は、ワード線 2 個分と 1 つのスペース分の幅を有している。このため、セレクトゲート線 S G L は、ワード線 W L のほぼ 3 倍の幅を有している。尚、ここでは、ビット線のコンタクトと隣接するセレクトゲート線 S G L をワード線 W L の略 3 倍の幅で形成した例が示されているが、ソース線側のセレクトゲート線についても全く同様に形成することができる。

## 【 0 0 2 0 】

この後、図 5 に示すように、周知の製造工程により、ワード線 W L とセレクトゲート線 S G L を覆う絶縁膜 1 1、ソース・ドレイン領域としての拡散層 1 2 やビット線のコンタクト 1 3 等が形成され、N A N D 型不揮発性半導体記憶装置が

形成される。コンタクト 1 3 は、例えばタングステン (W) により形成されている。コンタクト 1 3 と基板 1 の相互間には、図示せぬ例えばチタン (Ti) 及び窒化チタン (TiN) が形成されている。

#### 【 0 0 2 1 】

尚、図 2 に示すエッチング工程は、ほぼ ONO 膜 4 までエッチングしている。しかし、これに限らず、コントロールゲート用ポリシリコン膜 5 までエッチングしたり、WSi 膜 6 まで、あるいは SiN 膜 7 までエッチングしたりしてもよい。

#### 【 0 0 2 2 】

上記第 1 の実施形態によれば、セレクトゲート線 SGL 上部の幅及びスペースをワード線のそれと同一に設定している。このため、リソグラフィー工程において、ワード線の形成領域におけるパターンの周期性を、セレクトゲート線の形成領域においても崩すことがない。したがって、これら配線の形成領域において、光近接効果が周期的であるため、リソグラフィーにおける焦点深度のマージンを向上できる。この結果、周期的なパターンを有する各配線の幅とスペースを微細化する上で有利である。

#### 【 0 0 2 3 】

しかも、セレクトゲート線 SGL の幅をワード線 WL の幅より広くできる。このため、素子が微細化された場合においても、セレクトゲートのカットオフ特性を向上できる。

#### 【 0 0 2 4 】

図 6 は、第 1 の実施形態の変形例を示している。上記第 1 の実施形態においては、図 5 に示したセレクトゲート線 SGL のポリシリコン膜 3 が紙面と垂直な方向に配置された各メモリセルに対応してパターンニングされている。このため、紙面と垂直な方向に連続して形成されているセレクトゲート線 SGL のポリシリコン膜 5 にコンタクトを設け、このポリシリコン膜 5 からポリシリコン膜 3 に電位を供給することで、選択されたメモリセルユニットのセレクトゲートを動作させる必要がある。このため、セレクトゲート線 SGL と対応する部分の ONO 膜 4 は除去されている。しかし、セレクトゲート線 SGL のポリシリコン膜 3 が、紙

面と垂直な方向に連続して形成されている場合、図 6 に示すように、セレクトゲート線 S G L と対応する部分に O N O 膜 4 を形成していてもよい。この場合、セレクトゲート線 S G L の任意の位置において、ポリシリコン膜 3 へのコンタクトを設けることで、選択されたメモリセルユニットのセレクトゲートを動作させることが可能となるからである。あるいは、ポリシリコン膜 3 の任意の位置で O N O 膜 4 を除去し、ポリシリコン膜 5 をポリシリコン膜 3 に接続することもできる。尚、図 6 において、O N O 膜 4 は、ワード線相互間のスペースとほぼ等しい幅の開口部を有しているが、この開口部の有無は W S i 層 6、ポリシリコン層 5 のエッチング条件によるものであり任意である。

## 【 0 0 2 5 】

また、セレクトゲート線 S G L のポリシリコン膜 3 が紙面と垂直な方向に配置された各メモリセルに対応してパターニングされている場合において、図 6 に示すように、セレクトゲート線 S G L と対応する部分に O N O 膜 4 を形成してもよい。この場合、各セレクトゲート線 S G L の O N O 膜 4 に、図 6 に示すように開口部を形成し、この開口部を介して、ポリシリコン膜 5 をポリシリコン膜 3 に接続してもよい。

## 【 0 0 2 6 】

## (第 2 の実施形態)

図 7 乃至図 1 2 は、第 2 の実施形態を示している。尚、以下の各実施形態において、第 1 の実施形態と同一部分には、同一符号を付す。

## 【 0 0 2 7 】

第 2 の実施形態は、第 1 の実施形態の図 3 において、セレクトゲート線となる領域を覆うレジスト 9 を形成したのに対して、セレクトゲート線となる領域に予め S i N 膜よりエッチングレートが小さい絶縁膜、例えばアルミナ ( $A l_2 O_3$ ) を形成し、この絶縁膜をマスクとして、セレクトゲート線を形成する。

## 【 0 0 2 8 】

すなわち、図 7 に示すように、先ず、第 1 の実施形態と同様に、シリコン基板 1 上にトンネル酸化膜 2、フローティングゲート用ポリシリコン膜 3、O N O 膜 4、コントロールゲート用ポリシリコン膜 5、W S i 膜 6 及び S i N 膜 7 が順次

形成される。この後、セレクトゲート線となる領域に対応して、S i N 膜 7 に開口 6 - 1 が形成される。

【 0 0 2 9 】

次いで、図 8 に示すように、全面に例えばアルミナ ( $Al_2O_3$ ) からなる絶縁膜 2 1 が形成され、開口 6 - 1 が絶縁膜 2 1 により埋め込まれる。

この後、図 9 に示すように、S i N 膜 7 をストッパーとして、化学的機械研磨 (CMP) により、絶縁膜 2 1 が研磨され、平坦化される。このようにして、セレクトゲート線の形成領域に絶縁膜 2 1 が形成される。

【 0 0 3 0 】

次に、図 1 0 に示すように、S i N 膜 7 及び絶縁膜 2 1 の上にレジスト 2 2 のパターンが形成される。このレジスト 2 2 の幅及びレジスト 2 2 のスペースは、ワード線の幅とスペースに略一致されている。

【 0 0 3 1 】

次いで、図 1 1 に示すように、レジスト 2 2 をマスクとして、S i N 膜 7 がエッチングされる。絶縁膜 2 1 は S i N 膜 7 よりもエッチングレートが小さいが、若干エッチングされる。このため、レジスト 2 2 で覆われていない絶縁膜 2 1 の上部に凹部が形成される。この後、レジスト 2 2 が除去される。

【 0 0 3 2 】

その後、図 1 2 (a) に示すように、S i N 膜 7 と絶縁膜 2 1 をマスクとして、W S i 膜 6、コントロールゲート用ポリシリコン膜 5、O N O 膜 4、フローティングゲート用ポリシリコン膜 3 がエッチングされる。このようにして、最上層に絶縁膜 2 1 を有するセレクトゲート線 S G L と、最上層に S i N 膜 7 を有するワード線 W L が形成される。この時、絶縁膜 2 1 は、S i N 膜 7 よりもエッチングレートが小さいため、セレクトゲート線領域の積層膜全体の膜厚はワード線領域の積層膜全体の膜厚よりも厚くなっている。

【 0 0 3 3 】

上記のようにして形成されたセレクトゲート線 S G L は、上部にワード線と同様の幅を有する 2 つの絶縁膜 2 1 からなる凸部を有し、これら凸部間のスペースは、ワード線相互間のスペースと一致されている。一方、セレクトゲート線 S G

Lの下部は、実質的にワード線2個分と1つのスペース分の幅を有している。このため、セレクトゲート線SGLは、ワード線WLのほぼ3倍の幅を有している。尚、このような、セレクトゲート線SGLにおいて、上部における2つの凸部のうちの1つの幅と下部の幅は、レジスト22を形成する際のレジスト22と絶縁膜21との合わせずれを加えた幅で形成されてもよい。

## 【0034】

この後、周知の製造工程により、ソース・ドレイン領域やビット線等が形成され、NAND型不揮発性半導体記憶装置が形成される。

## 【0035】

図12(b)は、隣接するセレクトゲート線SGLの相互間にコンタクト27を形成した状態を示している。ここで、ワード線WL及びセレクトゲート線SGLの側壁は、例えばシリコン酸化膜26により覆われ、隣接するセレクトゲート線SGLの相互間にコンタクト27が形成されている。コンタクト27は、例えばタングステン(W)により形成されている。コンタクト27と基板1の相互間には、図示せぬ例えばチタン(Ti)及び窒化チタン(TiN)が形成されている。このコンタクトの構成は、以下に示す各実施形態にも適用可能である。

## 【0036】

尚、図10に示す工程において、セレクトゲート線と対応する領域は、SiN膜7が全て除去され、絶縁膜21のみとなっている。しかし、セレクトゲート線と対応する領域の上層の一部のみを絶縁膜21とし、絶縁膜21の下部にSiN膜7を残しておいてもよい。

## 【0037】

上記第2の実施形態によっても第1の実施形態と同様の効果を得ることができる。しかも、第2の実施形態によれば、絶縁膜21としてセレクトゲート線SGL間の埋め込み材料(例えばタングステン)に対してもエッチングレートが小さい材料(例えばアルミナ)を用いている。このため、セレクトゲート線相互間にセルフアラインでコンタクトを形成する際、アルミナからなる絶縁膜21をSiN膜7より優れたマスク材として使用できる。

## 【0038】



## (第3の実施形態)

図13乃至図16は、第3の実施形態を示している。第2の実施形態は、絶縁膜21をSiN膜7の内部に形成した。これに対して、第3の実施形態では、絶縁膜21をSiN膜7の上でセレクトゲート線の形成領域に対応して形成している。

## 【0039】

すなわち、図13に示すように、シリコン基板1上にトンネル酸化膜2、フローティングゲート用ポリシリコン膜3、ONO膜4、コントロールゲート用ポリシリコン膜5、WSi膜6及びSiN膜7が順次形成される。この後、SiN膜7の上に、SiN膜7よりエッチングレートが小さい膜、例えば $Al_2O_3$ からなる絶縁膜21が形成される。この絶縁膜21の上に、セレクトゲート線の形成領域に対応してレジスト23が形成される。このレジスト23をマスクとして絶縁膜21がエッチングされ、セレクトゲート線の形成領域のみに絶縁膜21が残される。その後、レジスト23が除去される。

## 【0040】

次に、図14に示すように、SiN膜7及び絶縁膜21の上にパターニングされたレジスト24が形成される。このレジスト24の幅及びスペースは、ワード線の幅とワード線間のスペースと略一致されている。

## 【0041】

次いで、図15に示すように、レジスト24及び絶縁膜21をマスクとして、SiN膜7がエッチングされる。絶縁膜21はSiN膜7よりもエッチングレートが小さいが、若干エッチングされる。このため、レジスト24で覆われていない絶縁膜21の上部に凹部が形成される。この後、レジスト24が除去される。

## 【0042】

その後、図16に示すように、絶縁膜21及びSiN膜7をマスク材として、WSi膜6、コントロールゲート用ポリシリコン膜5、ONO膜4、フローティングゲート用ポリシリコン膜3がエッチングされ、セレクトゲートSGL線及びワード線WLが形成される。この時、絶縁膜21は、SiN膜7よりエッチングレートが小さいため、絶縁膜21は残る。しかし、全て除去されたとしても、ワ

ード線WL線の上部に残るSiN膜7よりもセレクトゲート線SGLの上部に残るSiN膜7の方が厚い。このため、この後、隣接するセレクトゲート線SGLの相互間にセルフアラインにより、コンタクトを形成する際に、SiN膜7をマスクとして用いることができるため、別途マスク用の膜を形成する必要がない。

## 【0043】

上記第3の実施形態によっても、第1、第2の実施形態と同様の効果を得ることができる。

## 【0044】

第1乃至第3の実施形態は、NAND型の不揮発性半導体記憶装置のメモリセルアレイに本発明を適用した場合について説明した。しかし、本発明は、異なる幅の配線が隣接して形成される回路パターンであれば、メモリセルアレイに限定されるものではなく、例えば不揮発性半導体記憶装置の周辺回路のパターン形成に適用できる。

## 【0045】

図17、図18は、第1の実施形態に対応する変形例を示している。尚、図17、図18に示す概念は、第2、第3の実施形態にも適用可能である。

## 【0046】

図17は、例えば不揮発性半導体記憶装置の周辺回路に本発明を適用した場合を示しており、第1の配線L1と第2の配線L2を有する回路パターンを示している。これら第1、第2の配線L1、L2は、ともにONO膜4を持たない以外は、第1の実施形態と同様の構成となっている。

## 【0047】

このような構成の周辺回路は、上記第1の実施形態と同様の製造方法により形成することができる。すなわち、まず、第1の配線L1と略一致する幅とスペースを有するレジストパターンを形成して、SiN膜7より下方の任意の位置までエッチングする。この後、第2の配線L2の形成領域にレジストを形成した後、WSi膜6、ポリシリコン膜5、3の残りの部分をエッチングすればよい。

## 【0048】

このような構成によっても、第1の実施形態と同様の効果を得ることができる

## 【 0 0 4 9 】

また、第 1 乃至第 3 の実施形態において、セレクトゲート線 SGL は、ワード線 WL のほぼ 3 倍の幅を有する場合について説明した。しかし、隣接する配線同士の幅の関係は、これに限定されるものではない。

## 【 0 0 5 0 】

図 1 8 において、第 3 の配線 L 3 の幅は、第 1 の配線 L 1 の幅のほぼ 5 倍に設定されている。一般に、第 3 の配線 L 3 の幅は、第 1 の配線 L 1 の幅  $n$  本分と、第 1 の配線 L 1 の配線間スペース  $n - 1$  本分の幅とにより設定されていけばよい。第 1 の配線 L 1 と第 3 の配線 L 3 とがこのような関係を有していれば、第 1、第 3 の配線 L 1、L 3 を第 1 乃至第 3 の実施形態と同様の方法により形成でき、第 1 乃至第 3 の実施形態と同様の効果を得ることができる。

## 【 0 0 5 1 】

さらに、第 1 乃至第 3 の実施形態は不揮発性半導体記憶装置に限らず、その他の半導体装置の回路パターンの形成に適用できる。この場合、トンネル酸化膜 2、フローティングゲート用ポリシリコン膜 3、ONO 膜 4、コントロールゲート用ポリシリコン膜 5、WSi 膜 6 の積層構造は、これに限定されるものではなく、任意の構成を選択することができる。

## 【 0 0 5 2 】

## (第 4 の実施形態)

図 1 9 (a) は、セレクトゲート線 SGL とワード線 WL の配置の一例を示している。この配置の場合、セレクトゲート線 SGL の相互間にスペースがある。このため、これらセレクトゲート線 SGL とワード線 WL に対応してレジストを形成しようとする光近接効果が複雑化し、寸法精度が良好なレジストを形成することが困難となる。

## 【 0 0 5 3 】

これを解決するため、第 1 乃至第 3 の実施形態は、セレクトゲート線の形成領域に形成されるレジストパターンの幅とスペースをワード線のそれと一致させた。これに対して、第 4 の実施形態は、セレクトゲート線の形成領域に形成するレ

ジストのパターンを、ワード線ともセレクトゲート線とも異なるパターンとしている。

## 【 0 0 5 4 】

すなわち、図 1 9 ( b ) に示すように、第 4 の実施形態は、ワード線に対応したレジストパターン 3 1 - 1 と、2 つのセレクトゲート線 S G L と、これらセレクトゲート線 S G L 間のスペースを合わせた領域と対応したレジストパターン 3 1 - 2 を形成し、先ず、ワード線の形成領域を加工する。この後、レジストパターン 3 1 - 2 を除去し、2 つのセレクトゲート線 S G L 間のスペースと対応して開口を有するレジストを形成し、このレジストを用いてセレクトゲート線を形成している。

## 【 0 0 5 5 】

図 2 0 乃至図 2 3 は、第 4 の実施形態を示している。

## 【 0 0 5 6 】

図 2 0 に示すように、第 1 乃至第 3 の実施形態と同様にシリコン基板 1 上にトンネル酸化膜 2、フローティングゲート用ポリシリコン膜 3、O N O 膜 4、コントロールゲート用ポリシリコン膜 5、W S i 膜 6 及び S i N 膜 7 が順次形成される。この後、各ワード線の形成領域、及びセレクトゲート線 2 本分とセレクトゲート線間のスペース 1 本分が配置される領域に対応してレジスト 3 1 が選択的に形成される。すなわち、ワード線と対応する領域に形成されたレジスト 3 1 - 1 は、ワード線の配線幅及びスペースに略一致されている。また、このように周期的に配列されたレジスト 3 1 - 1 の間に形成されたレジスト 3 1 - 2 は、実質的に 2 つのセレクトゲート線 S G L と、これらのセレクトゲート線 S G L 間スペース 1 つ分の幅を有している。

## 【 0 0 5 7 】

次に、図 2 1 に示すように、上記レジスト 3 1 - 1、3 1 - 2 をマスクとして、S i N 膜 7 を例えばドライエッチングによってエッチングする。次いで、レジストを除去する。

## 【 0 0 5 8 】

この後、図 2 2 に示すように、S i N 膜 7 をマスクとして W S i 膜 6、コント

ロールゲート用ポリシリコン膜 5、ONO 膜 4 及びフローティングゲート用ポリシリコン膜 3 を例えばドライエッチングによりエッチングする。このようにして、それぞれメモリセルユニットを構成するワード線の形成領域において、周期的な配線幅及びスペースを有するワード線群が形成される。次いで、こうして形成されたワード線群の相互間で、隣接する 2 つのセレクトゲート線間のスペースとなる部分を除いてレジスト 3 2 が形成される。

## 【 0 0 5 9 】

この後、レジスト 3 2 をマスクとして、ワード線群の相互間で 2 つのセレクトゲート線の形成領域の間に位置する SiN 膜 7、WSi 膜 6、コントロールゲート用ポリシリコン膜 5、ONO 膜 4 及びフローティングゲート用ポリシリコン膜 3 が例えばドライエッチングによりエッチングされる。

## 【 0 0 6 0 】

このようにして、図 2 3 に示すように、隣接する 2 つのセレクトゲート線 SGL が形成される。セレクトゲート線 SGL の幅は、レジスト 3 2 を形成する際のスペースによって変えることができる。

## 【 0 0 6 1 】

第 4 の実施形態によれば、ワード線に対応するレジスト 3 1 - 1 に隣接して、2 つのセレクトゲート線 SGL と、これらセレクトゲート線 SGL 間のスペースとに対応した幅が広いレジスト 3 1 - 2 を形成している。このように単に太い配線を形成するようにレジスト 3 1 - 2 を形成した場合、レジスト 3 1 - 2 に隣接するレジスト 3 1 - 1 の光近接効果が単純となる。このため、OPC によるマスク補正が容易となる。したがって、マスクの精度、及びレジストの寸法精度を向上でき、所望の幅を有するワード線を形成することができる。

## 【 0 0 6 2 】

## (第 5 の実施形態)

図 2 4 乃至図 2 6 は、第 5 の実施形態を示している。図 2 4 において、SiN 膜 7 内の絶縁膜 2 1 は、セレクトゲート線の形成領域に対応して形成されている。第 5 の実施形態において、SiN 膜 7 内に絶縁膜 2 1 を形成するまでの工程は、第 2 の実施形態における図 7 乃至図 9 と同様であるため説明は省略する。

## 【 0 0 6 3 】

図 2 4 において、S i N 膜 7 の上には、ワード線の形成領域に対応してレジスト 3 3 が形成されている。このレジスト 3 3 の幅及び間隔はワード線と略一致されている。また、セレクトゲート線の形成領域と対応する箇所には、レジスト 3 3 が形成されていない。すなわち、図 1 9 ( c ) に示すように、隣接するメモリセルユニットを構成するワード線 W L の形成領域の相互間にはスペースが形成されている。

## 【 0 0 6 4 】

この後、図 2 5 に示すように、前記レジスト 3 3 をマスクとして S i N 膜 7 を例えばドライエッチングによりエッチングする。絶縁膜 2 1 は、S i N 膜 7 よりエッチングレートが小さいが、レジスト 3 3 によって、マスクされていないため、若干エッチングされる。次いで、レジスト 3 3 が除去される。

## 【 0 0 6 5 】

その後、図 2 6 に示すように、S i N 膜 7 と絶縁膜 2 1 をマスクとして、W S i 膜 6、コントロールゲート用ポリシリコン膜 5、O N O 膜 4、フローティングゲート用ポリシリコン膜 3 を例えばドライエッチングによりエッチングする。これにより、セレクトゲート線 S G L とワード線 W L が形成される。

## 【 0 0 6 6 】

前記絶縁膜 2 1 は、セレクトゲート線を形成するエッチングのマスク材としての機能を有している。また、ワード線 W L は、S i N 膜 7 をマスクとして形成されている。よって、セレクトゲート線 S G L とワード線 W L の高さは、S i N 膜 7 と絶縁膜 2 1 のエッチングレートの差により異なる。

## 【 0 0 6 7 】

また、図 2 4 において、セレクトゲート線の形成領域は絶縁膜 2 1 のみであり、S i N 膜 7 が残っていない。しかし、絶縁膜 2 1 の下部に S i N 膜 7 を残しておいてもよい。

## 【 0 0 6 8 】

第 5 の実施形態によれば、第 4 の実施形態とは異なり、セレクトゲート線が形成される領域に対応してレジストが形成されていない。このような構成によって

も、ワード線に対応するレジストの光近接効果は単純である。このため、O P C により容易にマスクを補正でき、寸法精度が良好なレジスト及び、ワード線を形成することができる。

#### 【 0 0 6 9 】

また、絶縁膜 2 1 は、第 2 の実施形態と同様に、絶縁膜 2 1 としてセレクトゲート線間の埋め込み材料に対してもエッチングレートが小さい材料を用いた場合、セレクトゲート線相互間にセルフアラインでコンタクトを形成する際、この材料を S i N 膜 7 より優れたマスク材として使用できる。例えば絶縁膜 2 1 として前記アルミナ ( $A l_2 O_3$ ) を用い、埋め込み材料としてタングステンを用いた場合、アルミナの方がタングステン及び S i N 膜よりエッチングレートが低い。したがって、S i N 膜よりも、コンタクトのオーバーエッチングを防止でき、コンタクトとセレクトゲート線の短絡を確実に防止できる。

#### 【 0 0 7 0 】

##### (第 6 の実施形態)

図 2 7 乃至図 2 9 は、第 6 の実施形態を示している。第 6 の実施形態は第 3 の実施形態と第 5 の実施形態を変形したものであり、S i N 膜 7 の上でセレクトゲート線を形成する領域に対応して絶縁膜 2 1 を形成している。

#### 【 0 0 7 1 】

図 2 7 において、絶縁膜 2 1 の上にセレクトゲート線の形成領域に対応してレジスト 3 4 を形成し、このレジスト 3 4 をマスクとして絶縁膜 2 1 をエッチングするまでの工程は第 3 の実施形態と同様である。このため、説明は省略する。次いで、レジスト 3 4 が除去される。

#### 【 0 0 7 2 】

この後、図 2 8 に示すように、S i N 膜 7 の上でワード線の形成領域に対応してレジスト 3 5 が形成される。このレジスト 3 5 は、幅及び相互間隔がワード線と略一致されている。また、S i N 膜 7 及び絶縁膜 2 1 の上でセレクトゲート線の形成領域と対応する箇所にはレジスト 3 5 が形成されていない。すなわち、図 1 9 (c) に示すように、隣接するメモリセルユニットを構成するワード線 W L の形成領域の相互間にはスペースが形成されている。次いで、レジスト 3 5 及び

絶縁膜 2 1 をマスクとして S i N 膜 7 を例えばドライエッチングによりエッチングする。その後、レジスト 3 5 が除去される。

【 0 0 7 3 】

次に、図 2 9 に示すように、絶縁膜 2 1 及び S i N 膜 7 をマスクとして、W S i 膜 6、コントロールゲート用ポリシリコン膜 5、O N O 膜 4、フローティングゲート用ポリシリコン膜 3 を例えばドライエッチングによりエッチングする。これにより、セレクトゲート線 S G L 及びワード線 W L が形成される。この時、絶縁膜 2 1 は、S i N 膜 7 よりもエッチングレートが小さいため、ややエッチングされても残存する。あるいは、加工中に絶縁膜 2 1 が除去されてしまったとしても、セレクトゲート線領域の配線の高さは、ワード線領域の配線よりも高くなる。

【 0 0 7 4 】

第 6 の実施形態によっても、第 5 の実施形態と同様の効果を得ることができる。

【 0 0 7 5 】

尚、上記第 4 乃至第 6 の実施形態は、不揮発性半導体記憶装置のメモリセルアレイの回路パターンを形成する場合について説明した。しかし、これに限定されるものではなく、第 1 乃至第 3 の実施形態と同様に、不揮発性半導体記憶装置の周辺回路のパターンや、その他の半導体装置の回路パターンの形成に適用することも可能である。

【 0 0 7 6 】

その他、本発明の要旨を変えない範囲において種々変形実施可能なことは勿論である。

【 0 0 7 7 】

【発明の効果】

以上、詳述したように本発明によれば、異なる幅の配線が隣接して形成される場合においても、各配線の寸法精度を向上することが可能な半導体装置とその製造方法を提供できる。

【図面の簡単な説明】



【図 1】

第 1 の実施形態の製造工程を示すものであり、S i N 膜上にレジストを形成した状態を示す断面図。

【図 2】

図 1 に続く製造工程を示すものであり、O N O 膜までをエッチングした状態を示す断面図。

【図 3】

図 2 に続く製造工程を示すものであり、セレクトゲート線を形成する領域にレジストを形成した状態を示す断面図。

【図 4】

図 3 に続く製造工程を示すものであり、セレクトゲート線及びワード線を形成した状態を示す断面図。

【図 5】

図 4 に続く製造工程を示すものであり、ビット線のコンタクトを形成した状態を示す断面図。

【図 6】

第 1 の実施形態の変形例を示す断面図。

【図 7】

第 2 の実施形態に係る製造工程を示すものであり、S i N 膜に開口を形成した状態を示す断面図。

【図 8】

図 7 に続く製造工程を示すものであり、基板全面に絶縁膜を形成した状態を示す断面図。

【図 9】

図 8 に続く製造工程を示すものであり、絶縁膜により開口を埋め込んだ状態を示す断面図。

【図 1 0】

図 9 に続く製造工程を示すものであり、S i N 膜及び絶縁膜上にレジストを形成した状態を示す断面図。

【図 1 1】

図 1 0 に続く製造工程を示すものであり、S i N 膜をエッチングした状態を示す断面図。

【図 1 2】

図 1 1 に続く製造工程を示すものであり、セレクトゲート線及びワード線を形成した状態を示す断面図。

【図 1 3】

第 3 の実施形態に係る製造工程を示すものであり、S i N 膜上に絶縁膜を形成した状態を示す断面図。

【図 1 4】

図 1 3 に続く製造工程を示すものであり、S i N 膜及び絶縁膜上にレジストを形成した状態を示す断面図。

【図 1 5】

図 1 4 に続く製造工程を示すものであり、S i N 膜をエッチングした状態を示す断面図。

【図 1 6】

図 1 5 に続く製造工程を示すものであり、セレクトゲート線及びワード線を形成した状態を示す断面図。

【図 1 7】

第 1 の実施形態の変形例を示すものであり、第 1 の実施形態を半導体装置の周辺回路に適用した例を示す断面図。

【図 1 8】

第 1 の実施形態において、異なる幅を有する配線の変形例を示す断面図。

【図 1 9】

図 1 9 ( a ) は、セレクトゲート線 S G L とワード線 W L の配置の一例を示す平面図、図 1 9 ( b ) は第 4 の実施形態に係るレジストの形状を示す平面図、図 1 9 ( c ) は第 5、第 6 の実施形態に係るレジストの形状を示す平面図。

【図 2 0】

第 4 の実施形態に係る製造工程を示すものであり、S i N 膜上にレジストを形

成した状態を示す断面図。

【図 2 1】

図 2 0 に続く製造工程を示すものであり、S i N 膜をエッチングした状態を示す断面図。

【図 2 2】

図 2 1 に続く製造工程を示すものであり、セレクトゲート線間のスペースを形成するためのレジストを形成した状態を示す断面図。

【図 2 3】

図 2 2 に続く製造工程を示すものであり、セレクトゲート線及びワード線を形成した状態を示す断面図。

【図 2 4】

第 5 の実施形態に係る製造工程を示すものであり、絶縁膜が埋め込まれた S i N 膜上にレジストを形成した状態を示す断面図。

【図 2 5】

図 2 4 に続く製造工程を示すものであり、S i N 膜をエッチングした状態を示す断面図。

【図 2 6】

図 2 5 に続く製造工程を示すものであり、セレクトゲート線及びワード線を形成した状態を示す断面図。

【図 2 7】

第 6 の実施形態に係る製造工程を示すものであり、S i N 膜上に絶縁膜を形成した状態を示す断面図。

【図 2 8】

図 2 7 に続く製造工程を示すものであり、S i N 膜をエッチングした状態を示す断面図。

【図 2 9】

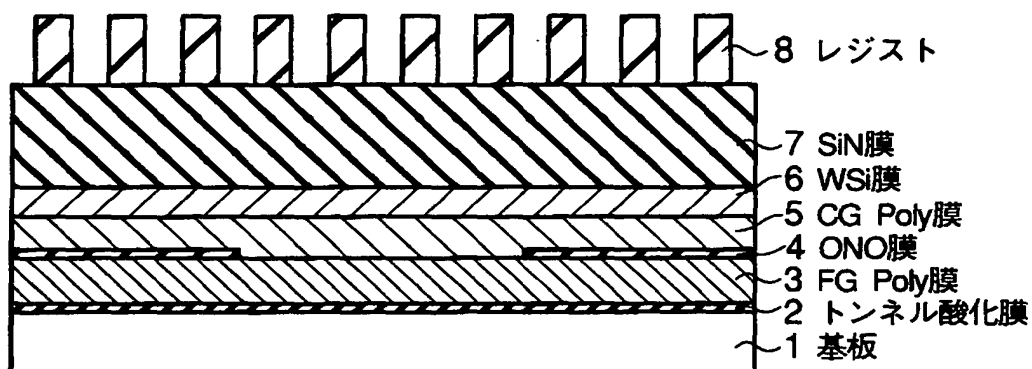
図 2 8 に続く製造工程を示すものであり、セレクトゲート線及びワード線を形成した状態を示す断面図。

【符号の説明】

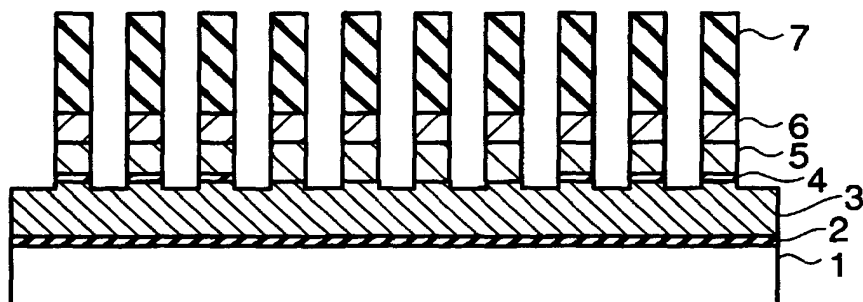
1…シリコン基板、3…フローティングゲート用ポリシリコン膜、4…ON  
O膜、5…コントロールゲート用ポリシリコン膜、6…WSi膜、7…SiN膜  
、8、9、22、23、24、31～35…レジスト、31-1、31-2…レ  
ジストパターン、21…絶縁膜、SGL…セレクトゲート線、WL…ワード線。

【書類名】 図面

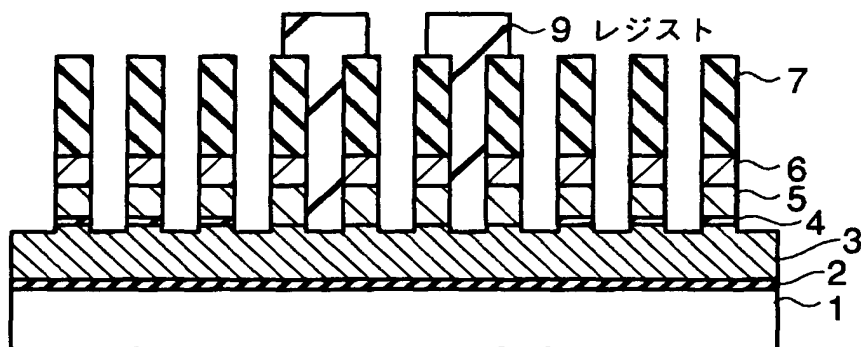
【図 1】



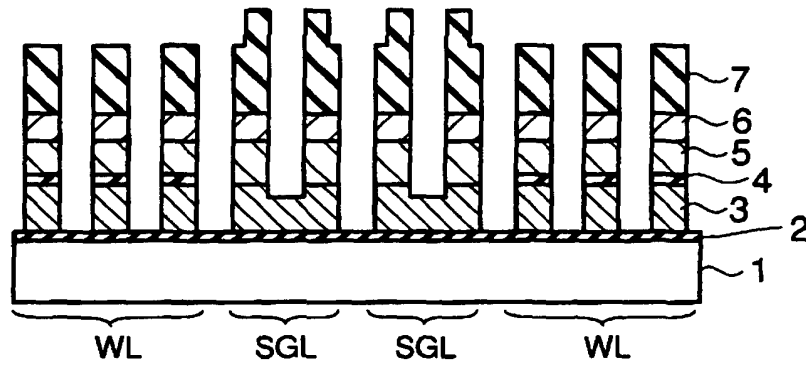
【図 2】



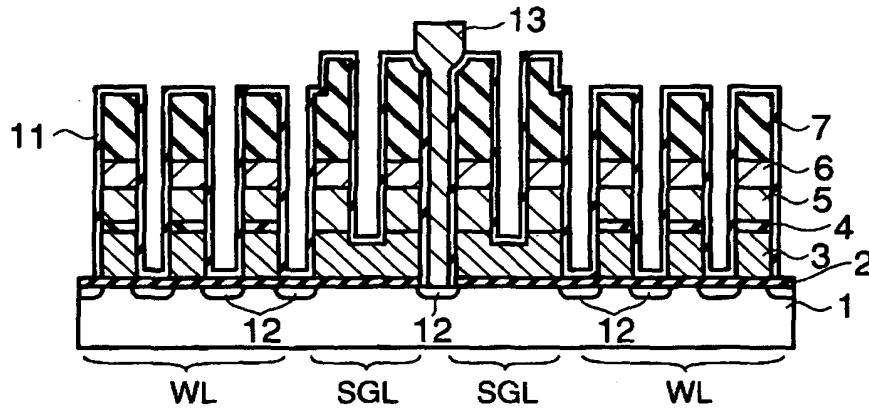
【図 3】



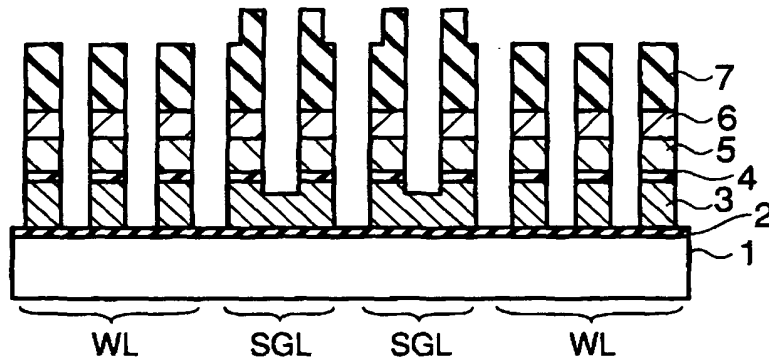
【図4】



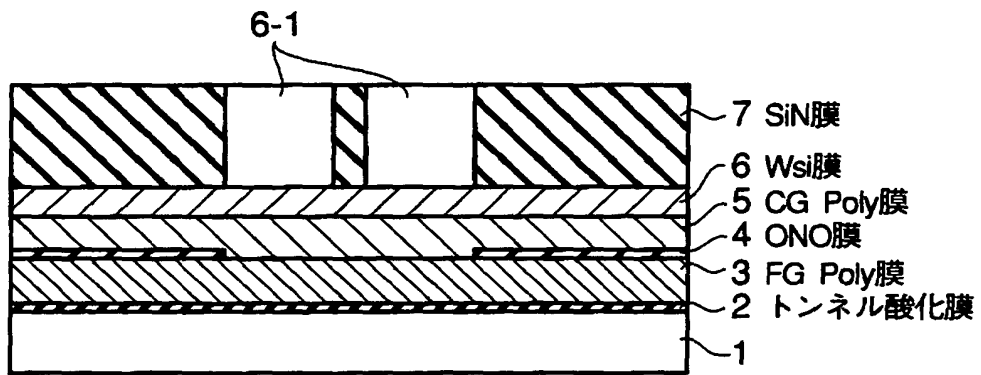
【図5】



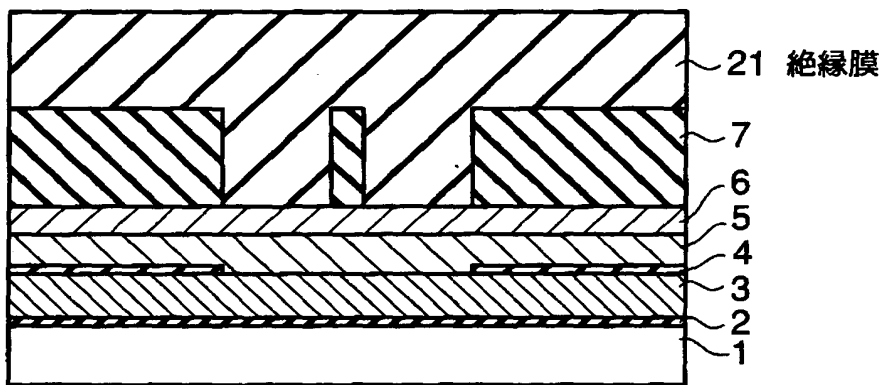
【図6】



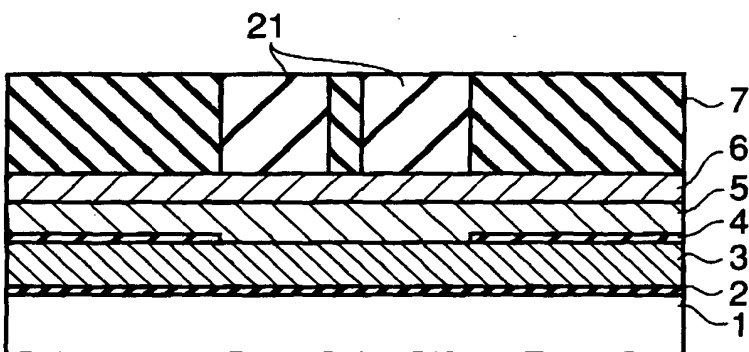
【図7】



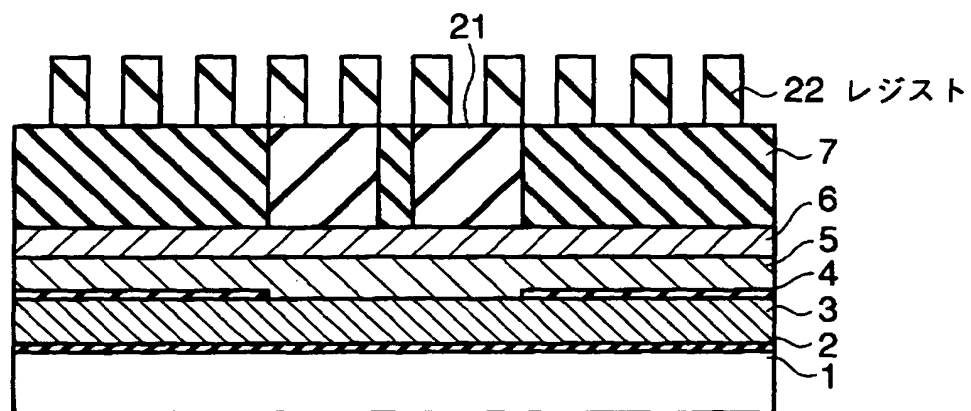
【図8】



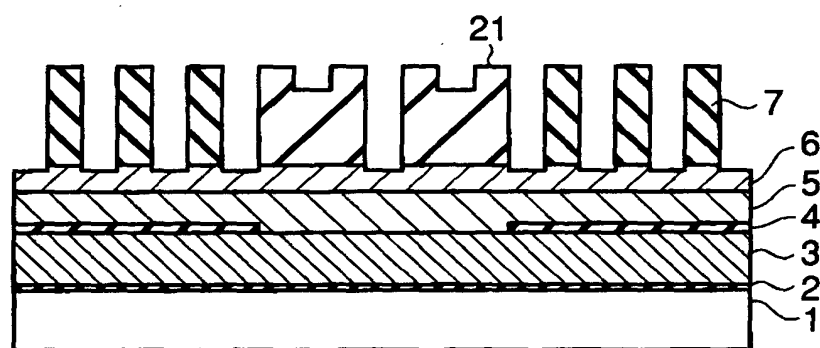
【図9】



【図10】

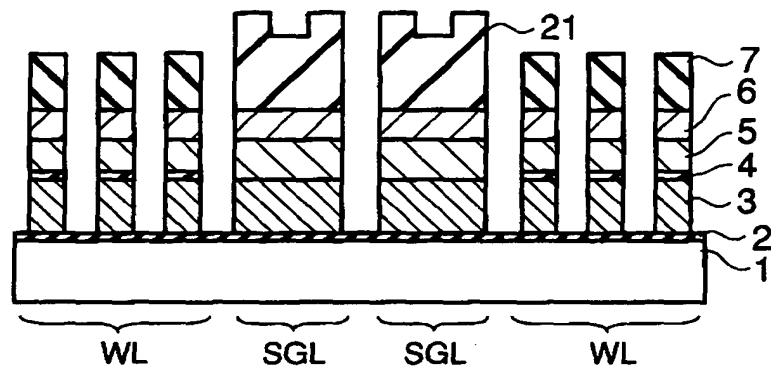


【図11】

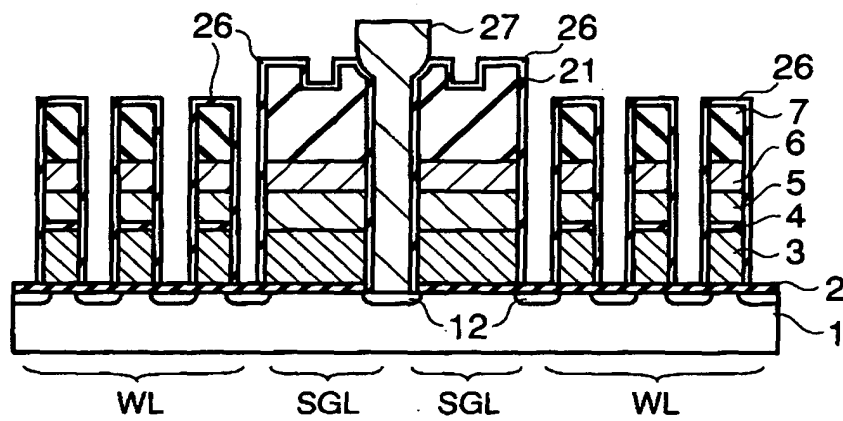




【図12】

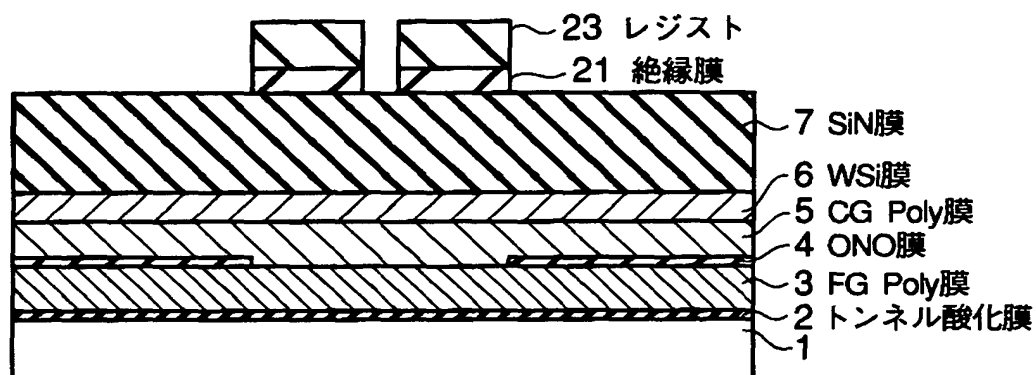


(a)

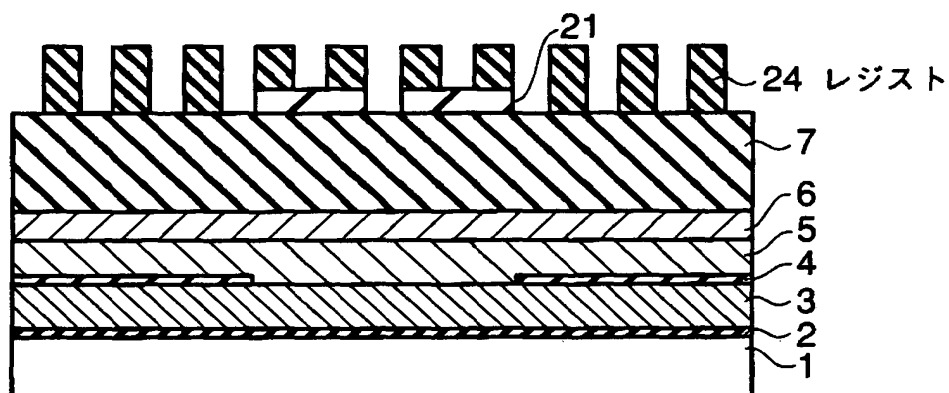


(b)

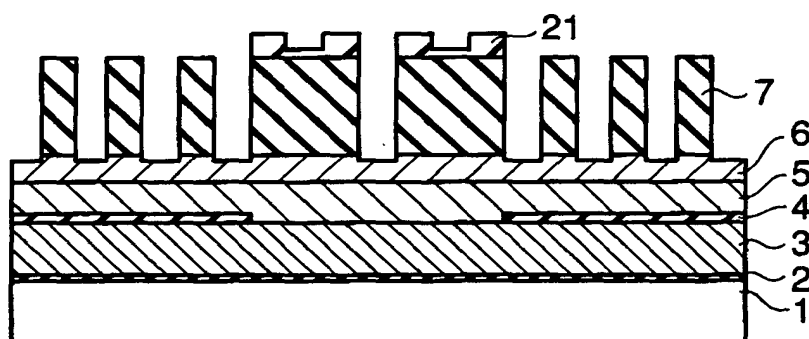
【図 1 3】



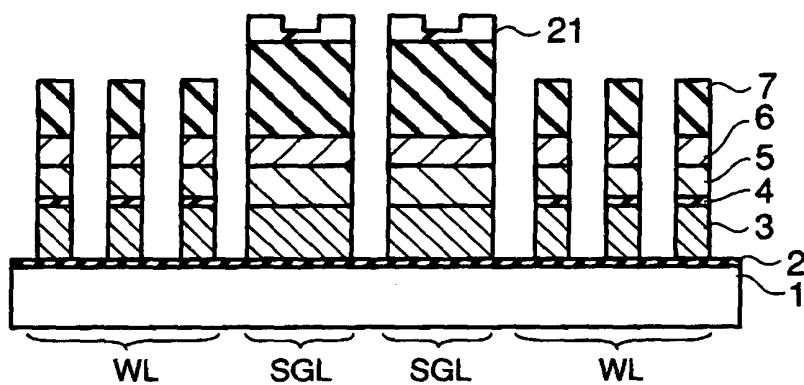
【図 1 4】



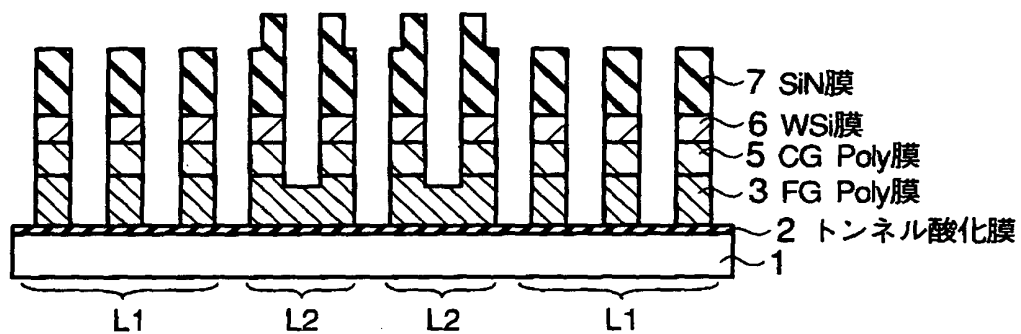
【図 1 5】



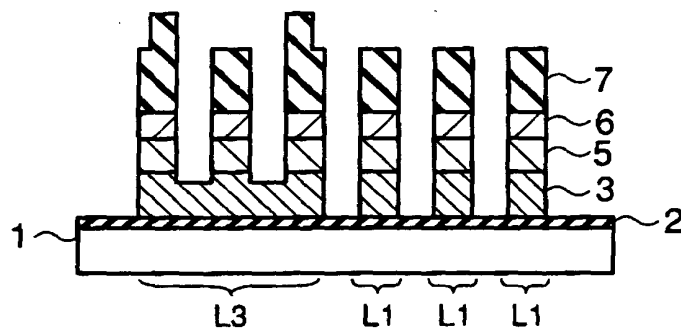
【図16】



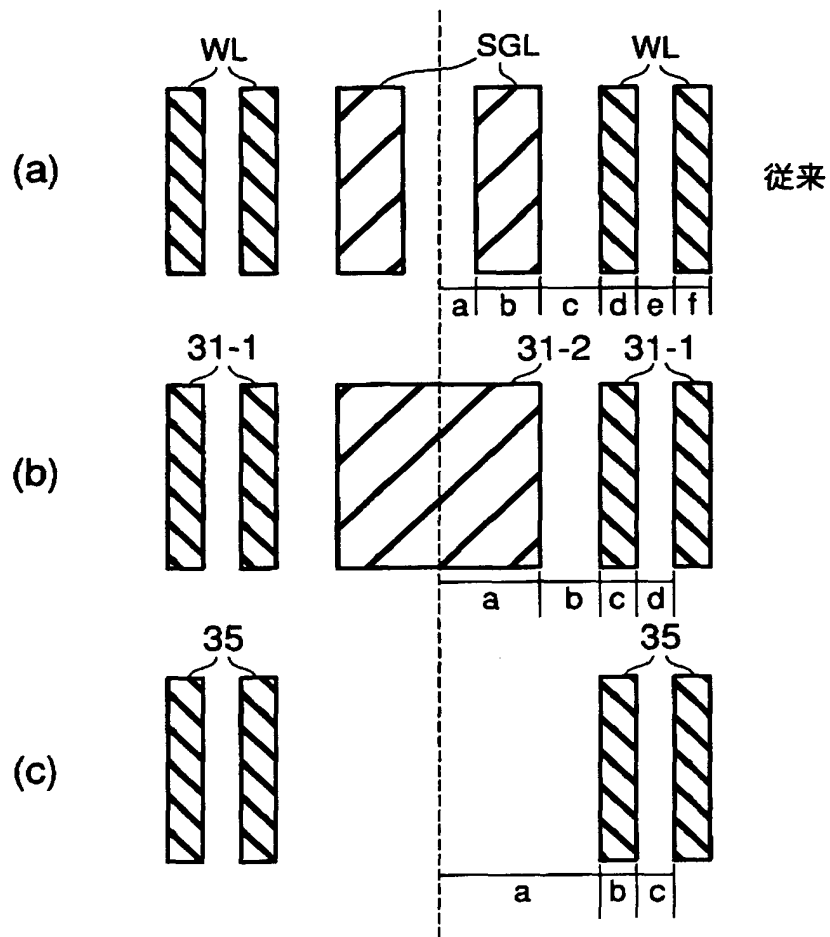
【図17】



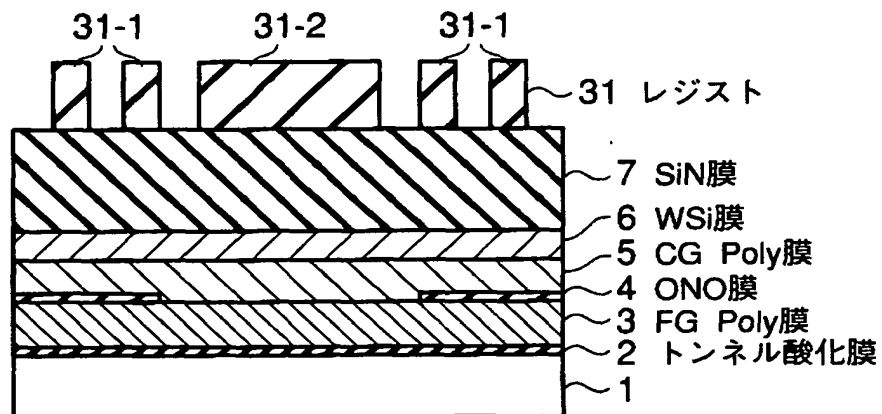
【図18】



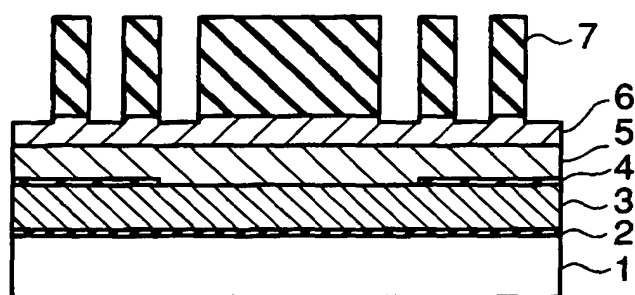
【図 1 9】



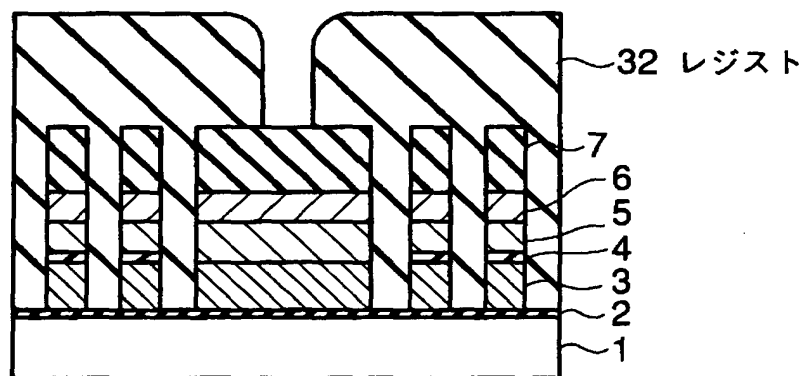
【図 2 0】



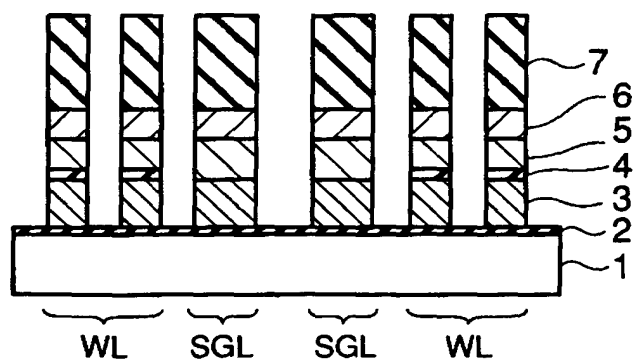
【図 21】



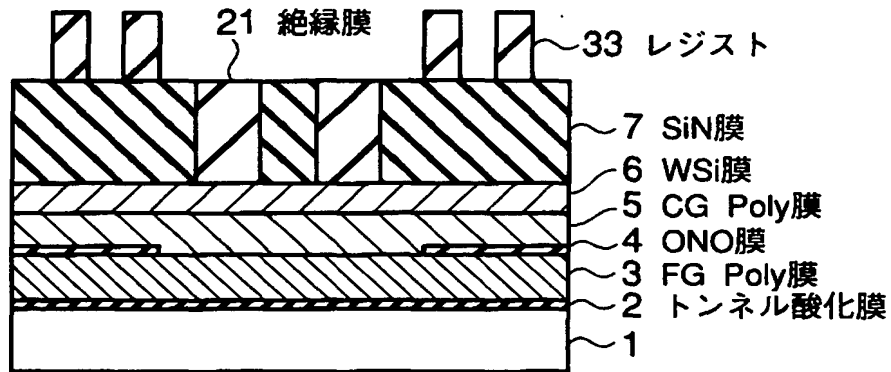
【図 22】



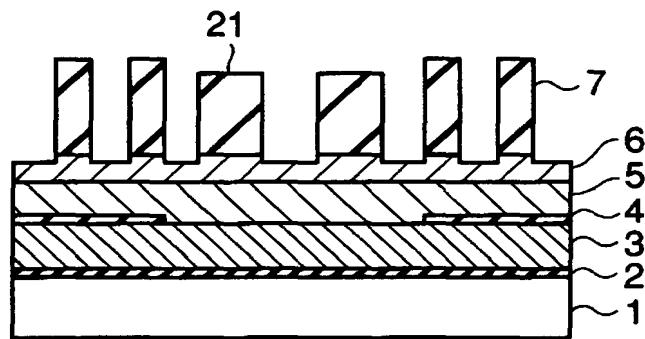
【図 23】



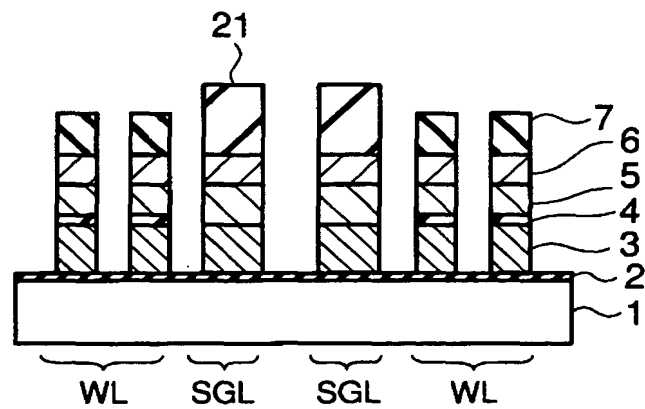
【図 2 4】



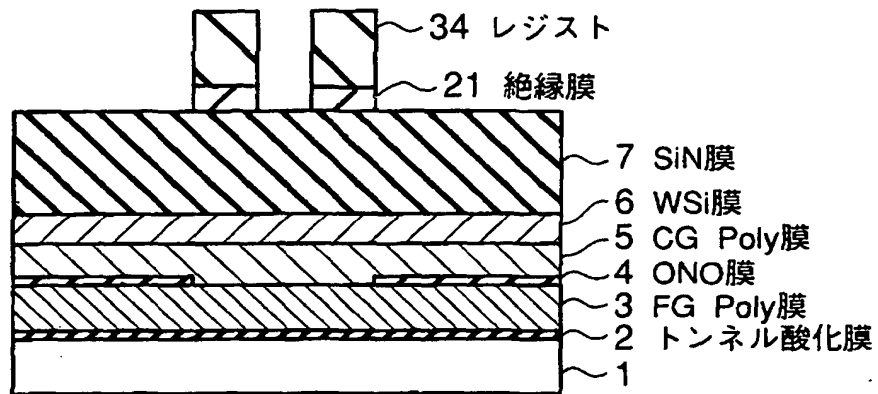
【図 2 5】



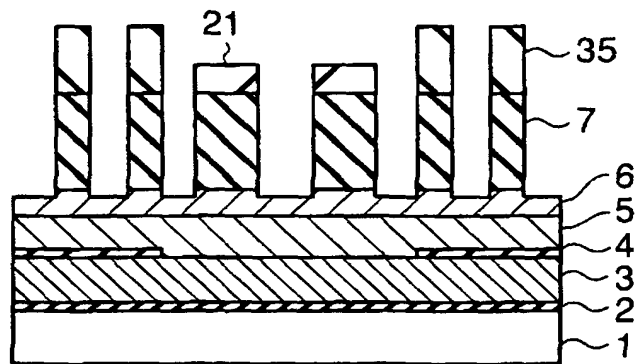
【図 2 6】



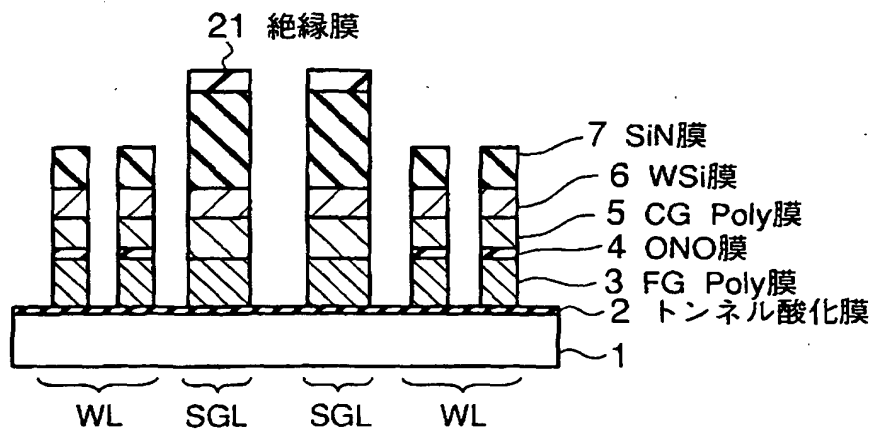
【図 27】



【図 28】



【図 29】



【書類名】 要約書

【要約】

【課題】 異なる幅の配線が隣接して形成される場合、各配線の寸法精度を向上することが困難であった。

【解決手段】 第1の幅を有する複数の第1の配線WLは、第1の間隔で周期的に配置されている。第2の配線SGLは、第1の配線WLの1つに隣接して形成されている。第2の配線SGLの下部は第1の配線WLの第1の幅 $n$ 個分と第1の間隔 $n-1$ 個分の第2の幅を有し、上部は $n$ 個の第1の幅を有する凸部と $n-1$ 個の凹部を有している。

【選択図】 図4



出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	2003年 5月 9日
[変更理由]	名称変更
住 所	東京都港区芝浦一丁目1番1号
氏 名	株式会社東芝